

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232626  
 (43)Date of publication of application : 05.09.1997

(51)Int.Cl. H01L 33/00  
 H01L 21/308

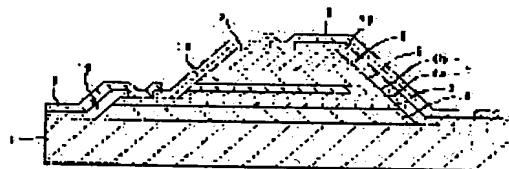
(21)Application number : 08-039726 (71)Applicant : KYOCERA CORP  
 (22)Date of filing : 27.02.1996 (72)Inventor : KITADA KATSUNOBU

## (54) MANUFACTURE OF LIGHT EMITTING DIODE ARRAY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable a light emitting diode array with separate electrodes and a common electrode formed on the surface of a substrate to be uniform in drive voltage.

**SOLUTION:** An N-GaAs buffer layer 2, an N+-GaAs ohmic contact layer 3, an N-AlGaAs etching buffer layer 4a and an N-GaAs etching buffer layer 4b, an N-AlGaAs layer 5, a P-AlGaAs layer 6, and a P+-GaAs ohmic contact layer 7 are successively deposited in this sequence on a semiconductor substrate 1, and the above laminate is formed into unit light emitting devices of island-like structure by etching. The etching buffer layer 4 composed of an N-AlGaAs etching buffer layer 4a and an N-GaAs etching buffer layer 4b laminated on the buffer layer 4a is interposed, so that the buffer layer 4b can be selectively etched first, and then the thin buffer layer 4a uniform in thickness is etched through a time control method in a process where the ohmic contact layer 3 is exposed for the formation of a common electrode 8. Therefore, all devices are made uniform in the thickness of the ohmic contact layer of a common electrode by adoption of the etching buffer layer 4, so that the devices are set uniform in drive voltage.



## LEGAL STATUS

[Date of request for examination] 26.04.2000  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3426834  
 [Date of registration] 09.05.2003  
 [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-232626

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl.<sup>6</sup>

H01L 33/00

識別記号

府内整理番号

F I

技術表示箇所

21/308

H01L 33/00

A

E

21/308

C

審査請求 未請求 請求項の数 3 O L (全7頁)

(21)出願番号

特願平8-39726

(22)出願日

平成8年(1996)2月27日

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地  
の22

(72)発明者 北田 勝信

滋賀県八日市市蛇溝町長谷野1166番地  
の6 京セラ株式会社滋賀工場内

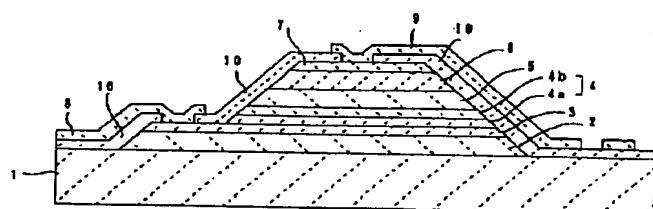
(54)【発明の名称】発光ダイオードアレイの製造方法

(57)【要約】 (修正有)

【課題】 基板の表面に共通電極と個別電極をもつ発光ダイオードアレイの駆動電圧のばらつきを解消する。

【解決手段】 半導体基板1上にバッファ層のn-GaAs層2, オーミックコンタクト層のn<sup>-</sup>-GaAs層3, エッティング緩衝層のn-AlGaAs層4aとn-GaAs層4b, n-AlGaAs層5, p-AlGaAs層6, オーミックコンタクト層のP<sup>-</sup>-GaAs層7をこの順に堆積し, エッティングで個々の発光素子として島状構造を形成する。ここでAlGaAs層の上にGaAs層を積層したエッティング緩衝層4を挿入したので、共通電極8を形成するためにオーミックコンタクト層3を露出させる工程では、先ず4b層を選択的にエッチすることが出来て、次に厚さの揃った薄い4a層を時間制御でエッチする。

【効果】 エッティング緩衝層4の採用で共通電極のオーミックコンタクト層の厚さが全素子同一になり、駆動電圧のばらつきが無くなる。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に、一導電型を呈するガリウム砒素層、一導電型を呈するアルミニウムガリウム砒素層、逆導電型を呈するアルミニウムガリウム砒素層、及び逆導電型を呈するガリウム砒素層を順次形成し、これら各層をエッティングして島状に形成した後に、前記逆導電型を呈するガリウム砒素層、逆導電型を呈するアルミニウムガリウム砒素層、一導電型を呈するアルミニウムガリウム砒素層の一部をエッティングして前記一導電型を呈するガリウム砒素層の一部を露出させて、前記逆導電型を呈するガリウム砒素層と一導電型を呈するガリウム砒素層に接続して電極を形成する発光ダイオードアレイの製造方法において、前記一導電型を呈するガリウム砒素層の一部を露出させる際に、この一導電型を呈するガリウム砒素層上にエッティングの緩衝層を形成し、このエッティングの緩衝層までの前記逆導電型を呈するガリウム砒素層、逆導電型を呈するアルミニウムガリウム砒素層、一導電型を呈するアルミニウムガリウム砒素層の一部をエッティング除去した後に、前記エッティングの緩衝層をエッティング除去して前記一導電型を呈するガリウム砒素層の一部を露出させることを特徴とする発光ダイオードアレイの製造方法。

【請求項 2】 前記エッティングの緩衝層が一導電型を呈するアルミニウムガリウム砒素層とガリウム砒素層で構成され、アルミニウムガリウム砒素層が下層でガリウム砒素層が上層であることを特徴とする請求項 1 に記載した発光ダイオードアレイの製造方法。

【請求項 3】 前記エッティングの緩衝層としてのアルミニウムガリウム砒素層の膜厚が 300 Å ~ 2000 Å であることを特徴とする請求項 1 または請求項 2 に記載した発光ダイオードアレイの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は発光ダイオードアレイの製造方法に関し、特にページプリンタ用感光ドラムの露光源などに用いられる発光ダイオードアレイの製造方法に関する。

## 【0002】

【従来の技術】 従来の発光ダイオードアレイを図 3 および図 4 に示す。図 4 は、図 3 の A-A 線断面図である。図 3 および図 4 において、21 は半導体基板、22 は島状半導体層、23 は個別電極、24 は共通電極である。

【0003】 半導体基板 21 は、例えばシリコン (Si) やガリウム砒素 (GaAs) などの単結晶半導体基板などから成る。島状半導体層 22 は、ガリウム砒素やアルミニウムガリウム砒素などの化合物半導体層などから成り、一導電型不純物を含有する層 22a と逆導電型不純物を含有する層 22b から成る。一導電型不純物を含有する層 22a と逆導電型不純物を含有する層 22b の界面部分で半導体接合部が形成される。この島状半導

体層 22 は、例えば MOCVD (有機金属化学気相成長) 法や MBE (電子ビームエピタキシ) 法でガリウム砒素やアルミニウムガリウム砒素などから成る単結晶半導体層を形成した後に、メサエッティングなどによって島状に形成される。

【0004】 島状半導体層 22 の表面部分には、例えば窒化シリコン膜 (Si<sub>x</sub>N<sub>y</sub>) などから成る保護膜 25 が形成されており、この保護膜 25 の表面部分には、例えば金 (Au) などから成る個別電極 23 が形成されている。この個別電極 23 は、保護膜 25 に形成されたスルーホールを介して逆導電型不純物を含有する半導体層 22b に接続されている。この個別電極 23 は、島状半導体層 22 のうちの逆導電型不純物を含有する層 22b の上面部分から壁面部分を経由して、半導体基板 21 の端面近傍まで、隣接する島状半導体層 22 ごとに交互に他の端面側に延在するように形成されている。また、半導体基板 21 の裏面側のほぼ全面には共通電極 24 が形成されている。

【0005】 島状半導体層 22 、個別電極 23 および共通電極 24 で個々の発光ダイオードが構成され、この発光ダイオードは半導体基板 21 上に一列状に並ぶように形成される。この場合、例えば個別電極 23 が発光ダイオードのアノード電極となり、共通電極 24 がカソード電極となる。なお、個別電極 23 はその広幅部分において外部回路とボンディングワイヤなどで接続される。

【0006】 このような発光ダイオードアレイでは、例えば個別電極 23 から共通電極 24 に向けて順方向に電流を流すと、逆導電型不純物を含有する層 22b には電子が注入され、一導電型不純物を含有する層 22a には正孔が注入される。これらの少数キャリアの一部が多数キャリアと発光再結合することによって光を生じる。また、列状に形成された発光素子のいずれかの個別電極 23 を選択して電流を流して発光させることにより、例えばページプリンタ用感光ドラムの露光源として用いられる。

【0007】 ところが、この従来の発光ダイオードアレイでは、半導体基板 21 の表面側に形成した島状半導体層 22 上に、個別電極 23 を設けると共に、半導体基板 21 の裏面側に共通電極 24 を設けていることから、個別電極 23 と共通電極 24 の形成工程が 2 回になり、製造工程が煩雑になるという問題があった。また、個別電極 23 と共通電極 24 が半導体基板 21 の表裏両面にあると、ワイヤボンディング法などによって外部回路と接続する際に、その接続作業が困難であるという問題もあった。

【0008】 そこで、本出願人は特願平 7-19285 7 号において、図 5 および図 6 に示すように、半導体基板 21 上に、一導電型不純物を含有する下層半導体層 22a を設けると共に、この下層半導体層 22a 上に逆導電型不純物を含有する上層半導体層 22b を設け、下層

半導体層22aの露出部分に共通電極24a、24bを接続して設け、上層半導体層22bに個別電極23を接続して設けることを提案した。

【0009】このように構成すると、半導体基板21の同じ側に個別電極23と共に通電極24a、24bを設けることができ、個別電極23と共に通電極24a、24bを一回の工程で同時に形成できることから、発光ダイオードアレイの製造工程が簡略化される共に、個別電極23と共に通電極24a、24bが同じ側に位置することからワイヤボンディング法などによる外部回路との接続作業も容易になる。

【0010】なお、図5に示すように、共通電極24a、24bは隣接する島状半導体層22ごとに異なる群に属するように二群に分けて設けられ、個別電極23は隣接する島状半導体層22が同じ個別電極23で接続されるように設けられている。

【0011】このように共通電極24a、24bを二群に分けて設け、隣接する島状半導体層22が同じ個別電極に接続されるように個別電極23を設けると、電極パターンが簡素化され、電極の短絡などを防止できると共に、発光ダイオードを高精細化させても、これら電極23と外部回路との接続面積を大きくとることができるという利点がある。

【0012】このような発光ダイオードアレイでは、個別電極23と共に通電極24a、24bの組み合せを選択して電流を流すことによって、各発光ダイオードを選択的に発光させる。

【0013】上記島状半導体層22の具体的な構成は、図6に示すように、シリコン(Si)などから成る半導体基板21上に、ガリウム砒素などから成るバッファ層26、n'型ガリウム砒素層27、n型アルミニウムガリウム砒素層28、p型アルミニウムガリウム砒素層29、及びp'型ガリウム砒素層30とする。バッファ層26、n'型ガリウム砒素層27、及びn型アルミニウムガリウム砒素層28で下層半導体層22aが構成され、p型アルミニウムガリウム砒素層29及びp'型ガリウム砒素層30で上層半導体層22bが構成される。

【0014】このような構造で、n'型ガリウム砒素層27の一部を露出させるには、p'型ガリウム砒素層30、p型アルミニウムガリウム砒素層29、及びn型アルミニウムガリウム砒素層28の一部をエッティングする。ところが、n型アルミニウムガリウム砒素層28はエッティングできるが、n'型ガリウム砒素層27はエッティングできないエッティング液はない。つまり、アルミニウムガリウム砒素層28とガリウム砒素層27はエッティングの選択性がない。

【0015】このため、n'型ガリウム砒素層27の一部を露出させる場合、p'型ガリウム砒素層30、p型アルミニウムガリウム砒素層29、及びn型アルミニウムガリウム砒素層28がエッティングされる時間を見計ら

ってエッティング液から引き上げる時間制御でエッティングを行うしかない。

【0016】ところが、p'型ガリウム砒素層30、p型アルミニウムガリウム砒素層29、及びn型アルミニウムガリウム砒素層28を時間制御でエッティングすると、アンダーエッティングやオーバーエッティングを誘発し、n'型ガリウム砒素層27の膜厚が不均一になって発光ダイオードの駆動電圧のバラつきを誘発し、発光バラツキを誘発するという問題があった。

10 【0017】本発明はこのような従来技術の問題点に鑑みてなされてものであり、発光ダイオードの駆動電圧のバラつきを解消できる発光ダイオードアレイの製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】上記目的を達成するためには、請求項1に係る発光ダイオードアレイの製造方法では、半導体基板上に、一導電型を呈するガリウム砒素層、一導電型を呈するアルミニウムガリウム砒素層、逆導電型を呈するアルミニウムガリウム砒素層、及び逆導

20 電型を呈するガリウム砒素層を順次形成し、これら各層をエッティングして島状に形成した後に、前記逆導電型を呈するガリウム砒素層、逆導電型を呈するアルミニウムガリウム砒素層、一導電型を呈するアルミニウムガリウム砒素層の一部をエッティングして前記一導電型を呈するガリウム砒素層の一部を露出させて、前記逆導電型を呈するガリウム砒素層と一導電型を呈するガリウム砒素層に接続して電極を形成する発光ダイオードアレイの製造方法において、前記一導電型を呈するガリウム砒素層の一部を露出させる際に、この一導電型を呈するガリウム砒素層上にエッティングの緩衝層を形成し、このエッティングの緩衝層までの前記逆導電型を呈するガリウム砒素層、逆導電型を呈するアルミニウムガリウム砒素層、一導電型を呈するアルミニウムガリウム砒素層の一部をエッティング除去した後に、前記エッティングの緩衝層をエッティング除去して前記一導電型を呈するガリウム砒素層の一部を露出させる。

【0019】

【発明の実施の形態】以下、本発明の実施形態を添付図面に基づき詳細に説明する。図1は、請求項1に係る発光ダイオードアレイの一実施形態を示す図であり、1は半導体基板、2はバッファ層、3(3a、3b)は一導電型を呈するガリウム砒素層、4はアルミニウムガリウム砒素層、5は一導電型を呈するアルミニウムガリウム砒素層、6は逆導電型を呈するアルミニウムガリウム砒素層、7は逆導電型を呈するガリウム砒素層、8は共通電極、9は個別電極、10は保護膜である。

【0020】半導体基板1は、例えばシリコン(Si)やガリウム砒素(GaAs)などの単結晶半導体基板から成る。

【0021】バッファ層2は、ガリウム砒素などから成

る。このバッファ層2は、例えばMOCVD法やMBE法などで形成される。すなわち、半導体基板1の自然酸化膜を800°C~1000°Cの高温で除去し、次に450°C以下の低温で核となるアモルファスガリウム砒素膜をMOCVD法やMBE法で0.1~2μm程度の厚みに成長させた後、500°C~700°Cまで昇温して再結晶化し、ガリウム砒素単結晶膜を成長させて形成する（二段階成長法）。この場合、ガリウムの原料としては、トリメチルガリウム（(CH<sub>3</sub>)<sub>3</sub>Ga）などが用いられ、砒素の原料としてはアルシン（AsH<sub>3</sub>）などが用いられる。次に、750°C~1000°Cの高温でのアニールと600°C以下の低温への急冷を数回繰り返す（温度サイクル法）等のポストアニールを行う。このバッファ層2は、基板1としてシリコン（Si）を用いた場合に、このシリコンとこの上に形成するガリウム砒素層3との格子不整合を緩和するために設けるものである。

【0022】次に、一導電型を呈するガリウム砒素層3を形成する。このガリウム砒素層3もMOCVD法やMBE法で形成される。この一導電型を呈するガリウム砒素層3は、S、Se、Te、Ge、Siなどの半導体不純物を10<sup>19</sup>~10<sup>21</sup>cm<sup>-3</sup>程度含有する。この一導電型を呈するガリウム砒素層3はオーミックコンタクト層として機能する。

【0023】次に、エッティングの緩衝層4を形成する。このエッティングの緩衝層4は、ガリウム砒素層などと格子定数が近似して上層膜とエッティングの選択性があるものであればその材料は何でもよい。例えば300Å~2000Å程度の厚みを有するアルミニウムガリウム砒素層4aと2000Å~10000Å程度の厚みを有するガリウム砒素層4bなどで構成される。なお、このエッティングの緩衝層4も発光ダイオードの半導体層の一部を構成するものであり、一導電型不純物を含有する。このエッティングの緩衝層4もMOCVD法やMBE法などで形成される。ガリウム砒素層上にアルミニウムガリウム砒素層を形成した場合、ガリウム砒素層上のアルミニウムガリウム砒素層だけを選択的にエッティングすることはできないが、アルミニウムガリウム砒素層上にガリウム砒素層を形成した場合、アンモニア系のエッティング液を用いるとガリウム砒素層だけを選択的にエッティングできる。

【0024】次に、一導電型不純物を含有するアルミニウムガリウム砒素層5を形成する。このアルミニウムガリウム砒素層5は、0.3~3μm程度の厚みに形成され、MOCVD法やMBE法などで形成される。このアルミニウムガリウム砒素層5は、S、Se、Te、Ge、Siなどの一導電型半導体不純物を10<sup>19</sup>~10<sup>21</sup>cm<sup>-3</sup>程度含有する。

【0025】次に、逆導電型不純物を含有するアルミニウムガリウム砒素層6を形成する。このアルミニウムガ

リウム砒素層6は、0.3~3μm程度の厚みに形成され、MOCVD法やMBE法などで形成される。逆導電型半導体不純物には、Zn、Cd、Sr、Ba、Raなどがあり、10<sup>19</sup>~10<sup>21</sup>cm<sup>-3</sup>程度含有する。

【0026】次に、逆導電型不純物を多量に含有するガリウム砒素層7を形成する。このガリウム砒素層7はオーミックコンタクト層として機能するものであり、Zn、Cd、Sr、Ba、Raなどを10<sup>19</sup>~10<sup>21</sup>cm<sup>-3</sup>程度含有する。

【0027】島状半導体層上には保護膜10が形成され、この保護膜10上には共通電極8と個別電極9が形成される。共通電極8はスルーホールを介して逆導電型不純物を多量に含有するガリウム砒素層7に接続され、個別電極9はスルーホールを介して一導電型不純物を多量に含有するガリウム砒素層3に接続される。保護膜10は窒化シリコン膜や酸化シリコン膜で構成され、プラズマCVD法などで形成される。共通電極8と個別電極9は金（Au）などで構成され、真空蒸着法などで形成される。

【0028】次に、上記のような発光ダイオードアレイにおけるガリウム砒素層3の一部を露出させる方法を図2に基づいて説明する。まず、同図(a)に示すように、バッファ層2、一導電型を呈するガリウム砒素層3、エッティングの緩衝層4、一導電型を呈するアルミニウムガリウム砒素層5、逆導電型を呈するアルミニウムガリウム砒素層6、及び逆導電型を呈するガリウム砒素層7を硫酸過酸化水素系のエッティング液で島状にエッティングする。

【0029】次に、同図(b)に示すように、逆導電型を呈するガリウム砒素層7、逆導電型を呈するアルミニウムガリウム砒素層6、及び一導電型を呈するアルミニウムガリウム砒素層5の一部を硫酸過酸化水素系のエッティング液でエッティングする。この場合、時間制御でエッティングするが、逆導電型を呈するガリウム砒素層7、逆導電型を呈するアルミニウムガリウム砒素層6、及び一導電型を呈するアルミニウムガリウム砒素層5が完全にエッティングされるような時間に設定してエッティングすればよい。エッティングの緩衝層であるガリウム砒素層4bの表面部分が若干オーバーエッティングされてもよい。

【0030】次に、同図(c)に示すように、エッティングの緩衝層4の一部であるガリウム砒素層4bをエッティング除去する。このガリウム砒素層4bはアンモニアと過酸化水素の混合液でエッティングする。アンモニアと過酸化水素の混合液は、ガリウム砒素層4bとアルミニウムガリウム砒素層4aとにエッティングの選択性を持たせることができる。したがって、ガリウム砒素層4bは完全にエッティング除去できる。

【0031】次に、同図(d)に示すように、エッティングの緩衝層であるアルミニウムガリウム砒素層4aを時間制御でエッティング除去する。このエッティングは硫酸過

酸化水素系のエッティング液で行う。この場合、アルミニウムガリウム砒素層4aは、300Å～2000Åの厚みに形成することが望ましい。すなわち、アルミニウムガリウム砒素層4aの厚みが300Å以下の場合、厚みが薄いことから、ガリウム砒素層4bをエッティングする前の工程でこのアルミニウムガリウム砒素層4aをエッティングの緩衝層として機能させにくい。すなわち、アルミニウムガリウム砒素層4aの厚みが300Å以下の場合、ガリウム砒素層4bとエッティングの選択性をつけていく。また、このアルミニウムガリウム砒素層4aの厚みが2000Å以上の場合、エッティングの時間制御が行いにくくなり、一導電型を呈するガリウム砒素層3がオーバーエッティングされたり、表面粗れを誘発し、発光ダイオードの駆動電圧がバラつく。したがって、エッティングの緩衝層であるアルミニウムガリウム砒素層4aは300Å～2000Åの厚みに形成することが望ましい。

【0032】

【発明の効果】以上のように、請求項1に係る発光ダイオードアレイの製造方法によれば、一導電型を呈するガリウム砒素層の一部を露出させる際に、この一導電型を呈するガリウム砒素層上にエッティングの緩衝層を形成し、このエッティングの緩衝層までの前記逆導電型を呈するガリウム砒素層、逆導電型を呈するアルミニウムガリウム砒素層、一導電型を呈するアルミニウムガリウム砒素層の一部をエッティング除去した後に、前記エッティング

の緩衝層をエッティング除去して前記一導電型を呈するガリウム砒素層の一部を露出させることから、ガリウム砒素層を露出させる最後の層は薄い層であり、正確にエッティングできる。もって、このガリウム砒素層の膜厚を正確に制御でき、発光ダイオードの駆動電圧が均一化して発光バラつきが減少する。

【図面の簡単な説明】

【図1】本発明に係る発光ダイオードアレイの断面図である。

【図2】本発明に係る発光ダイオードアレイの製造方法を示す図である。

【図3】従来の発光ダイオードアレイを示す図である。

【図4】図3のA-A線断面図である。

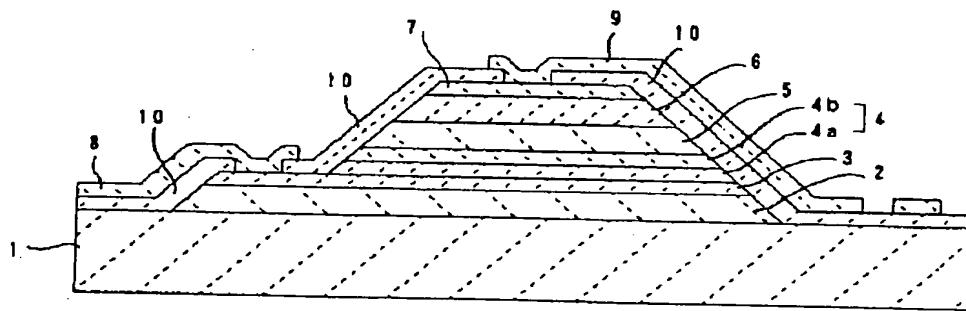
【図5】従来の他の発光ダイオードアレイを示す図である。

【図6】図5のA-A線断面図である。

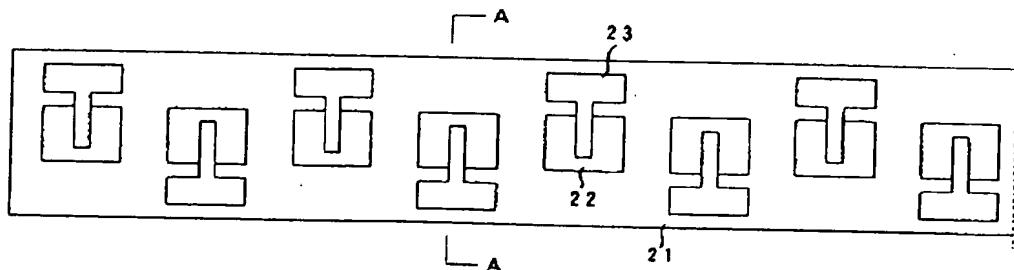
【符号の説明】

1…半導体基板、2…バッファ層、3…一導電型を呈するガリウム砒素層、4…エッティングの緩衝層、5…一導電型を呈するアルミニウムガリウム砒素層、6…逆導電型を呈するアルミニウムガリウム砒素層、7…逆導電型を呈するガリウム砒素層、8…共通電極、9…個別電極、10…保護膜

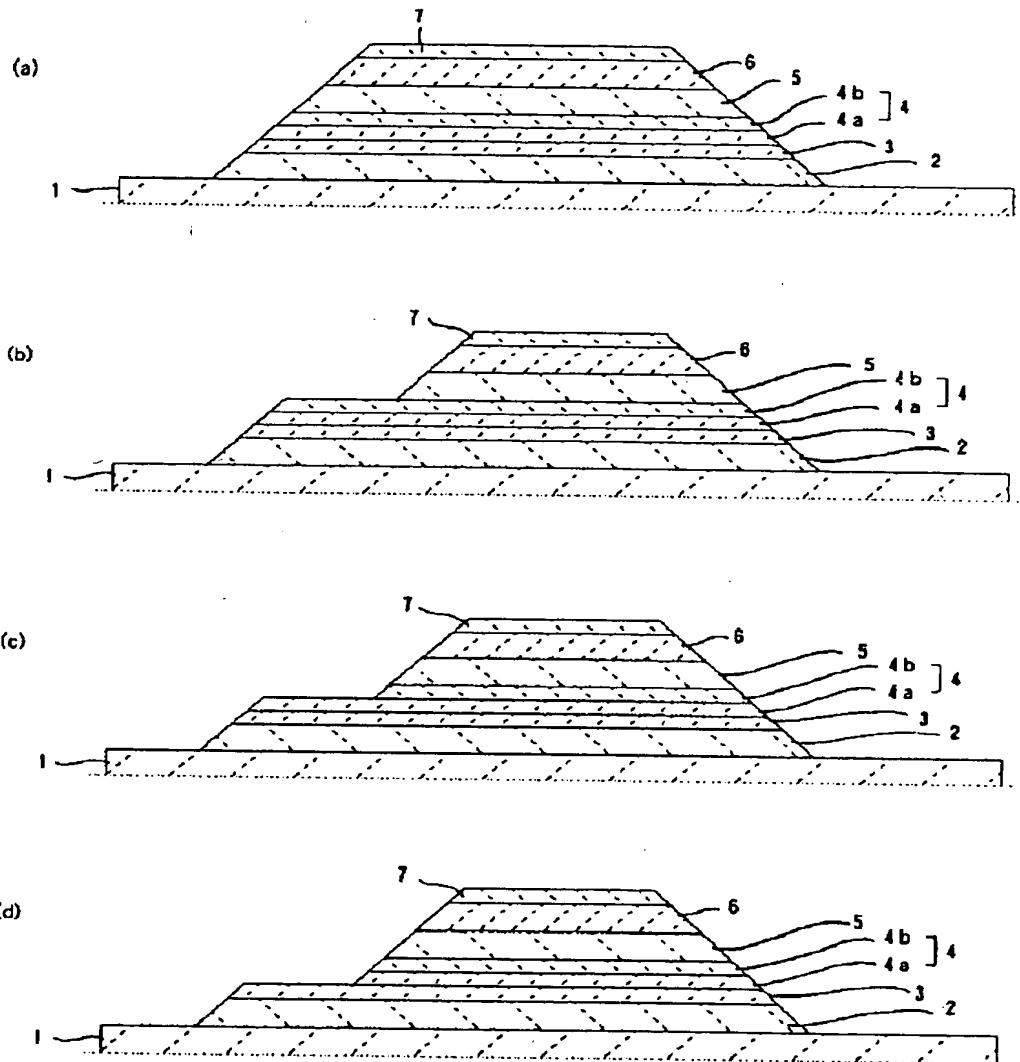
【図1】



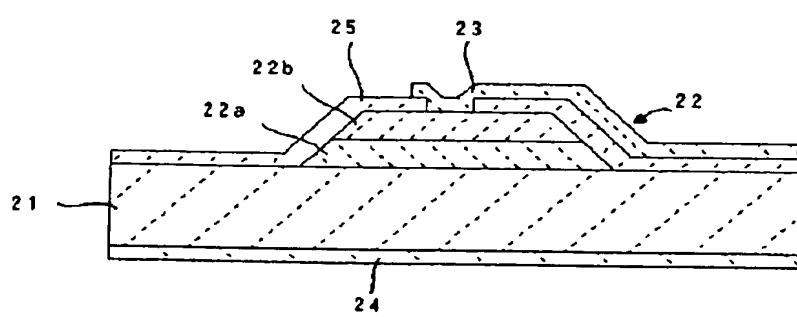
【図3】



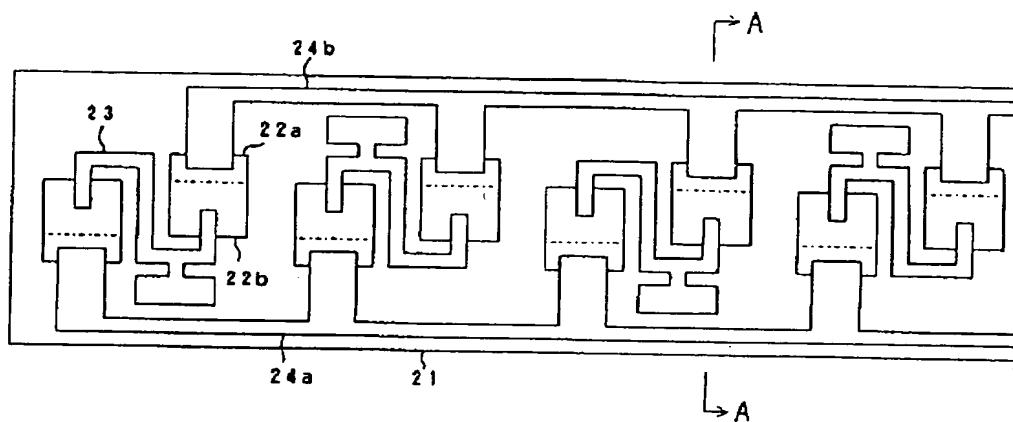
【図 2】



【図 4】



【図 5】



【図 6】

